

JP2002243801

Biblio

Page 1

Drawing

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP2002243801

Publication date: 2002-08-28

Inventor(s): HAYASHI HIDEKI; HIGETA KEIICHI; NAKAHARA SHIGERU; KOBA
TAKASHI; OSHIMA NAOMI

Applicant(s): HITACHI LTD;; HITACHI ULSI SYSTEMS CO LTD

Requested Patent: ☐ JP2002243801Application
Number: JP20010041080 20010219Priority
Number(s):

IPC Classification: G01R31/28; G06F12/16; G11C29/00

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a self-test technique capable of providing a circuit for storing failure addresses detected by a self-test circuit of a built-in memory, avoiding the operation of the circuit from being interrupted every time failure is detected, and outputting accurate failure information in real time.

SOLUTION: A multiplying circuit (120) for multiplying a clock signal (&phiv 0) supplied from an external tester, etc., is provided. The self-test circuit inside a chip is operated by the multiplied clock signal (&phiv 1). Serial-parallel conversion is performed on the results of determination by the self-test circuit to output the converted results.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-243801

(P2002-243801A)

(43) 公開日 平成14年8月28日 (2002.8.28)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード [*] (参考) |
|---------------------------|-------|---------------|--------------------------|
| G 0 1 R 31/28 | | G 0 6 F 12/16 | 3 3 0 A 2 G 1 3 2 |
| G 0 6 F 12/16 | 3 3 0 | G 1 1 C 29/00 | 6 7 5 L 5 B 0 1 8 |
| G 1 1 C 29/00 | 6 7 5 | G 0 1 R 31/28 | V 5 L 1 0 6 |
| | | | B |

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2001-41080(P2001-41080)

(22) 出願日 平成13年2月19日 (2001.2.19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 林 秀樹

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100085811

弁理士 大日方 富雄

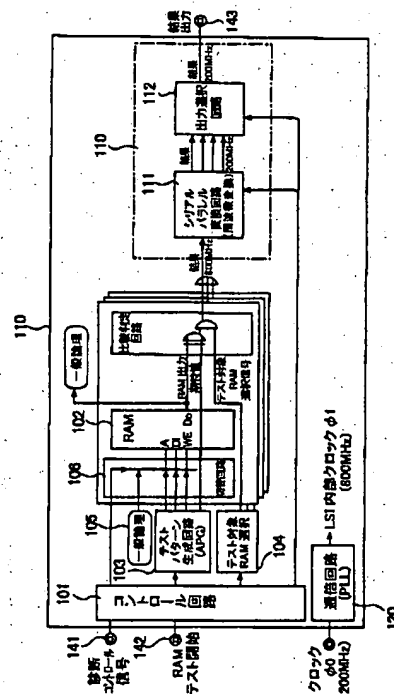
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 内蔵メモリの自己テスト回路により検出された不良アドレスを記憶する回路を設けたり、不良検出の度に回路の動作が中断されるのを回避し、リアルタイムで正確な不良情報を出力できるような自己テスト技術を提供する。

【解決手段】 外部のテスト等から供給されるクロック信号(φ0)を逡倍する逡倍回路(120)を設け、逡倍されたクロック信号(φ1)でチップ内部の自己テスト回路を動作させ、自己テスト回路による判定結果をシリアル-パラレル変換して出力するようにした。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 メモリ回路と、該メモリ回路をテストするアドレスおよびデータを生成するテストパターン生成手段と、上記メモリ回路から読み出されたデータと該データに対する期待値データとを比較する比較判定手段と、該比較判定手段により出力された不良を示す信号を内部クロックの周波数と外部のテスト装置の動作クロックの周波数との比に応じてパラレル信号に変換するシリアル-パラレル変換手段とを備えたことを特徴とする半導体集積回路。

【請求項2】 上記シリアル-パラレル変換手段により変換された信号を選択して共通の外部端子より出力させる選択手段を備えていることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 メモリ回路と、該メモリ回路をテストするアドレスおよびデータを生成するテストパターン生成手段と、上記メモリ回路から読み出されたデータと該データに対する期待値データとを比較する比較判定手段と、該比較判定手段より出力された不良を示す信号をラッチ可能なラッチ手段と、内部クロックの周波数と外部のテスト装置の動作クロックの周波数との比に応じて上記ラッチ手段におけるラッチタイミングを制御するラッチタイミング制御手段とを備えたことを特徴とする半導体集積回路。

【請求項4】 上記ラッチタイミング制御手段は、複数のフリップフロップがループ状に接続されたループカウンタであり、該ループカウンタの初期値が変更可能に構成されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 上記比較判定手段より出力された不良信号または上記ループカウンタの最終段のフリップフロップの出力帰還信号を選択的に上記ループカウンタの初段のフリップフロップに入力可能な第1の選択手段と、上記ループカウンタの複数のフリップフロップの出力の論理和をとることにより上記不良信号を引き伸ばした信号を形成する論理回路と、該論理回路の出力信号または上記ラッチ手段の出力信号のいずれかを選択して外部端子へ出力可能な第2の選択手段とを有することを特徴とする請求項4に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に組み込まれ半導体集積回路に内蔵されているRAM（ランダム・アクセス・メモリ）のようなメモリ回路を検査する自己テスト回路に適用して有効な技術に関し、特に外部のテスト装置の処理能力を超える高い周波数で内部メモリが動作する半導体集積回路におけるメモリ回路を検査する自己テスト回路に関するものである。

【0002】

【従来の技術】近年、半導体集積回路の高集積化並びに

大規模化に伴い、RAMのようなメモリ回路を内蔵したプロセッサやシステムLSI（大規模半導体集積回路）が提供されている。かかる半導体集積回路において、内蔵メモリ回路が良品であるか不良品であるかを検査したり、内蔵メモリ回路に冗長回路を設けておいて、欠陥のあるメモリセルをあらかじめ用意しておいた救済用置換メモリ行もしくは救済用置換メモリ列と置き換えることで欠陥ビットを救済し、チップの歩留まりを向上させる手法は良く知られている。

【0003】

【発明が解決しようとする課題】しかしながら、メモリ回路のテストでは、メモリセルのアドレスやメモリセルに書き込むデータ、読み出し/書き込みを特定するなどの制御信号、テスト結果を判定するための読み出しデータ等を、メモリ回路を内蔵したチップに外部から与えたり、取り出したりするための手段（例えばテストと呼ばれる装置）が必要であるが、最先端の技術を使用したLSIを開発しそれをテストするような場合、テストはそれまでの技術を用いて製造された装置であるため、かかるテストによってその処理能力を超える高い周波数で動作する被テストチップ内のメモリ回路を検査することは困難である。

【0004】そこで、例えばチップ内部にメモリ回路のテストを実現するための回路をチップ内に埋め込むいわゆる組込み自己テスト（BIST）、アレイ組込み自己テスト（ABIST）と呼ばれている手法がある（特開平6-342040号公報、特許第2614413号等）。組込み自己テスト回路の実現の仕方は様々であるが、代表的なものは、テストアドレスを発生する手段と、メモリに書き込むテストデータを発生する手段と、メモリから読み出すデータに対する期待値を発生する手段と、前記の2つのデータを比較する手段と、比較の結果不一致となったメモリセルのアドレス（故障アドレス）を保存する手段およびこれらを制御する手段とから構成される。

【0005】テストによってその処理能力を超える高い周波数で動作する被テストチップにおいて組込み自己テスト回路を実現する場合、以下のような問題点が考えられる。すなわち、組込み自己テスト回路により検出された故障アドレスをチップ外部へ出力するように構成したとしても、動作周波数の高いチップから出力される不良情報を処理能力の低い外部のテストで取り込むことができない点である。仮に、自己テスト回路により不良が検出された場合、不良を示す情報のみを外部へ出力させるようにしたとすると、発生した不良の解析が困難となるとともに、冗長救済も行なうことができない。

【0006】そこで、組込み自己テスト回路により検出された不良アドレスを格納する回路（例えばレジスタ）をチップ内部に設け、テスト終了後に外部テストにより読み出す方法や自己テスト回路によるテスト実行中に不

良を検出する度に自己テスト回路の動作を一時停止させて検出した不良アドレスを外部へ出力する方法が考えられる。

【0007】しかしながら、検出された不良アドレスを格納するレジスタのような回路をチップ内部に設ける方法においては、設置したレジスタの数以上の不良アドレスを記憶することができないという制約があるとともに記憶できる不良アドレスの数を増やそうとすると回路のオーバーヘッドが大きくなってしまおうという問題がある。また、自己テスト回路により不良を検出する度に自己テスト回路の動作を一時停止させて不良アドレスを外部へ出力する方法にあっては、不良検出の度にテストが中断されるためトータルのテスト所要時間が大幅に増加してしまうとともにリアルタイム性が損なわれ正確な不良情報が得られないという問題がある。

【0008】本発明は、超高速な半導体集積回路に組み込まれる内蔵メモリの自己テスト回路における上記課題を解決するためになされたもので、検出された不良アドレスを記憶する回路を設けたり、不良検出の度に回路の動作が中断されるのを回避し、リアルタイムで正確な不良情報を出力できるような自己テスト技術を提供することを目的とする。

【0009】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0011】すなわち、メモリ回路と、該メモリ回路をテストするアドレスおよびデータを生成するテストパターン生成手段と、上記メモリ回路から読み出されたデータと該データに対する期待値データとを比較する比較判定手段と、該比較判定手段により出力された不良を示す信号を内部クロックの周波数と外部のテスト装置の動作クロックの周波数との比に応じてパラレル信号に変換するシリアル-パラレル変換手段とを設けるようにした。

【0012】より具体的には、外部のテスト等から供給されるクロック信号を通信する通信回路を設け、通信されたクロック信号でチップ内部の自己テスト回路を動作させ、自己テスト回路による判定結果をシリアル-パラレル変換する手段を設けるようにしたものである。

【0013】上記した手段によれば、自己テスト回路による判定結果をシリアル-パラレル変換して外部へ出力するため、内部クロックの周波数よりも低い周波数で動作する外部テスト装置によってチップ内部の自己テスト回路による判定結果を検出ないしは取り込むことができる。

【0014】また、望ましくは、上記シリアル-パラレル変換手段により変換された信号を選択して共通の外部

端子より出力させる選択手段を設ける。これにより、チップ内部の自己テスト回路による判定結果を出力するための外部端子数を減らすことができる。

【0015】また、メモリ回路と、該メモリ回路をテストするアドレスおよびデータを生成するテストパターン生成手段と、上記メモリ回路から読み出されたデータと該データに対する期待値データとを比較する比較判定手段と、該比較判定手段より出力された不良を示す信号をラッチ可能なラッチ手段と、内部クロックの周波数と外部のテスト装置の動作クロックの周波数との比に応じて上記ラッチ手段におけるラッチタイミングを制御するラッチタイミング制御手段とを設ける。

【0016】上記した手段によれば、自己テスト回路による判定結果をラッチ回路によりラッチすることで判定結果を示す信号を引き伸ばして外部へ出力することができるため、内部クロックの周波数よりも低い周波数で動作する外部テスト装置によって自己テスト回路による判定結果を検出ないしは取り込むことができる。

【0017】また、望ましくは、上記ラッチタイミング制御手段は、複数のフリップフロップがループ状に接続されたループカウンタで構成し、該ループカウンタはその初期値を変更可能に構成する。これにより、ループカウンタの初期値を変更するだけで比較判定手段より出力された不良を示す信号をラッチ手段がラッチするタイミングを変更することができる。

【0018】さらに、望ましくは、上記比較判定手段より出力された不良信号または上記ループカウンタの最終段のフリップフロップの出力帰還信号を選択的に上記ループカウンタの初段のフリップフロップに入力可能な第1の選択手段と、上記ループカウンタの複数のフリップフロップの出力の論理和をとることにより上記不良信号を引き伸ばした信号を形成する論理回路と、該論理回路の出力信号または上記ラッチ手段の出力信号のいずれかを選択して外部端子へ出力可能な第2の選択手段とを設ける。

【0019】上記した手段によれば、第1の選択手段によって比較判定手段より出力された不良信号を選択し第2の選択手段によって論理回路の出力信号を選択することでメモリ回路に不良があるか否かを短時間で検出し、不良があった場合には第1の選択手段によってループカウンタの最終段のフリップフロップの出力帰還信号を選択し第2の選択手段によってラッチ手段の出力信号を選択することでメモリ回路の正確な不良情報を知ることができるようになる。

【0020】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。図1は本発明に係るメモリ回路の自己テスト回路の一実施例の概略構成図である。

【0021】本実施例の自己テスト回路が搭載された半導体チップ100上には、複数のメモリ回路(RAM)

102が搭載されている。本実施例は、例えばマイクロプロセッサチップに適用されるもので、各々のメモリ回路は、各マイクロプロセッサの仕様に依りて、例えば命令キャッシュやデータキャッシュ、仮想記憶におけるタグアドレスが格納されるTAGキャッシュ、論理アドレスと物理アドレスの変換テーブル格納用のメモリ等に利用される。

【0022】図1において、101は自己テスト回路全体を制御するコントロール回路、103はメモリ回路102のテストに必要なアドレスとデータ（書込みデータ及び期待値データを含む）を発生するテストパターン発生器（APG）、104はチップ内部の複数のメモリ回路102のうちテスト対象となるメモリ回路を選択するテスト対象選択回路である。この実施例では、チップ内部の複数のメモリ回路102が、テスト対象選択回路104からの選択信号に従って順番に選択されテストされるように構成されている。テストの順番はコントロール回路101からの指令によって決定される。

【0023】上記コントロール回路101は、外部端子141、142から入力される診断コントロール信号およびRAMテスト開始信号と内部のモードレジスタの値に従い前記テストパターン発生器103等に対する制御信号を形成し、テストパターン発生器103はコントロール回路101からの制御信号とモードレジスタの値に従い、テスト用の行アドレス、列アドレス、書き込みイネーブル信号、書き込みデータまたは期待値データ等を発生する。

【0024】各メモリ回路102の前段にはLSI本来の機能を実現する一般論理回路105からの信号と上記テストパターン発生器103からのテストパターンとを切り替えるセレクト回路106が、また各メモリ回路102の後段にはメモリ回路102からの読出しデータと前記テストパターン発生器103からの期待値データとを比較する比較判定回路107がそれぞれ設けられている。セレクト回路106は通常動作時にはチップ内部のプロセッサ（CPU）などの一般論理回路から供給される通常論理信号を、またメモリテスト時には上記パターン発生器103で生成されたテスト用アドレス信号A、書き込みデータDi、書き込み信号イネーブルWEを選択してテスト対象のメモリ回路102に供給する。

【0025】110は、各テスト回路に対応して設けられている比較判定回路107からの判定結果すなわち不良情報を編集し共通の外部端子143より出力する不良情報編集回路であり、比較判定回路107からシリアルに出力される判定結果信号をパラレル信号に変換するシリアル-パラレル変換回路111と、変換された結果の中から任意の結果を出力させる出力選択回路112とからなる。シリアル-パラレル変換回路111の出力OUT0～OUT3が出力選択回路112により選択されて出力端子143より出力されることによって外部端子数

を減らすことができる。

【0026】さらに、この実施例においては、外部のテスト等から供給される例えば200MHzのような周波数のクロック信号φ0を800MHzのようなクロック信号φ1に逡倍する逡倍回路120が設けられており、逡倍されたクロック信号φ1により上記自己テスト回路が動作されるように構成されている。上記シリアル-パラレル変換回路111は、このクロック逡倍回路120における逡倍数「4」に応じて4ビット単位でシリアル信号をパラレル信号に変換するように構成される。

【0027】図2（A）は上記シリアル-パラレル変換回路111の構成例を示すブロック図である。シリアル-パラレル変換回路111は、比較判定回路107からの不良信号をラッチするためのラッチ回路LT1、LT2、LT3、LT4と、これらのラッチ回路LT1～LT4のそれぞれに対してラッチを許可するイネーブル信号EN1～EN4を生成するループカウンタLPCとから構成されている。ループカウンタLPCは4個のフリップフロップFF1～FF4がループ状に接続されてなり、このループの中を「1」にセットされたビットがクロックφ1に従って巡回するように構成されている。

【0028】図2（B）は（A）のシリアル-パラレル変換回路111の動作タイミング波形を示す。ループカウンタLPCのフリップフロップFF1が「1」を保持している状態でハイレベルの不良信号INが入力されるとそれがラッチ回路LT1に取り込まれてその出力OUT0がハイレベルに変化する。そして、その状態はフリップフロップFF1の保持データ「1」がループカウンタLPCを一巡する間すなわち4サイクルだけ維持される。また、巡回データ「1」が第3のフリップフロップFF3に保持されている状態でハイレベルの不良信号INが入力されるとそれがラッチ回路LT1に取り込まれてその出力OUT0がハイレベルに変化する。そして、その状態はフリップフロップFF3の保持データ「1」がループカウンタLPCを一巡する間だけ維持される。

【0029】図1の不良情報編集回路110においては、図2（A）のシリアル-パラレル変換回路111の出力OUT0～OUT3が出力選択回路112により選択されて出力端子143より出力されることにより、外部のテストは比較判定回路107から出力されるチップ内部の800MHzのような不良信号は検出することはできなくても、それが図2（B）の（b）～（e）のように4倍に引き伸ばされた出力OUT0～OUT3であれば充分に検出することができる。ただし、上記不良情報編集回路110の出力OUT0～OUT3は同時には出力できないので、出力選択回路112における選択状態をそれぞれ変えて同一のテストを4回繰り返す必要がある。

【0030】図3は上記不良情報編集回路110の他の実施例を示すブロック図である。この実施例の不良情報

編集回路110は、比較判定回路107からの不良信号をラッチするためのラッチ回路LT0と、このラッチ回路LT0に対してラッチを許可するイネーブル信号EN0を生成するループカウンタLPCと、ループカウンタLPCの各フリップフロップFF1~FF4の出力を入力とするOR論理ゲートG0と、初段のフリップフロップFF1に比較判定回路107からの不良信号が最終段のフリップフロップFF4の出力の帰還信号のいずれかを選択して供給するセクタSEL1と、ラッチ回路LT0の出力または最終段のフリップフロップFF4の出力のいずれかを選択して出力端子143へ出力するセクタSEL2とから構成されている。

【0031】ループカウンタLPCは図2(A)の回路と同様に4個のフリップフロップFF1~FF4がループ状に接続されてなる。図2(A)の回路との違いは、図3の回路のループカウンタLPCはコントロール回路101から初期状態を設定することができるように構成されている点にある。ただし、設定される初期状態は、4つのフリップフロップFF1~FF4のいずれかの保持データが「1」にされ、他の3つは「0」とされる状態である。

【0032】また、上記セクタSEL1、SEL2の選択状態は互いに関連されており、セクタSEL1が比較判定回路107からの不良信号を選択しているときはセクタSEL2はOR論理ゲートG0の出力を選択し、セクタSEL1が最終段のフリップフロップFF4の出力の帰還信号を選択しているときはセクタSEL2はラッチ回路LT0の出力を選択する。

【0033】次に、図3の実施例の動作を説明するが、まず、セクタSEL1が比較判定回路107からの不良信号を選択しセクタSEL2がOR論理ゲートG0の出力を選択する第1の動作モードを説明する。この動作モードでは、不良情報編集回路110は図4(A)のような回路とみなすことができる。図4(A)の回路において、ループカウンタLPCの初期状態を「1000」として「1」を巡回させて図4(B)の(a)のような不良信号が入力されたときのラッチ回路LT0の出力は図4(B)の(b)のようになる。同様に、ループカウンタLPCの初期状態を「0100」、「0010」、「0001」として「1」を巡回させて図4(B)の(a)のような不良信号が入力されたときのラッチ回路LT0の出力は図4(B)の(c)、(d)、(e)のようになる。

【0034】図4(B)の波形と図2(B)の波形を比較すると明らかなように、両者は同一である。従って、図3の実施例では、ループカウンタLPCの初期状態を異ならしめて4回同一のテストを行なうことで、図1の実施例の不良情報編集回路110における出力選択回路112を設けることなく、同一のテスト結果を得ることができる。

【0035】次に、セクタSEL1が最終段のフリップフロップFF4の出力の帰還信号を選択しセクタSEL2がラッチ回路LT0の出力を選択する第2の動作モードを説明する。この動作モードでは、不良情報編集回路110は図5(A)のような回路とみなすことができる。図5(A)の回路において、フリップフロップFF1、FF2、FF3は、図3の実施例においてループカウンタLPCを構成しているフリップフロップである。

【0036】図5(B)に(A)の回路の動作タイミング波形を示す。同図より、この回路においては、入力信号INとしての内部クロックφ1の1周期(例えば2.5nS)に相当する不良信号が入ってくると、図5(B)の(b)のようにそれが4倍すなわち10nSに引き伸ばされてOR論理ゲートG0から出力される。従って、外部のテストは比較判定回路107から出力される2.5nSのような不良信号は検出することはできなくても、それが図5(B)の(b)のように4倍に引き伸ばされた出力OUTであれば十分に検出することができる。ただし、この場合には、不良信号のタイミングは曖昧となり正確な不良位置情報を知ることはできない。

【0037】以上の説明から類推されるように、図3の実施例の不良情報編集回路110によれば、先ずセクタSEL1が最終段のフリップフロップFF4の出力の帰還信号を選択しセクタSEL2がラッチ回路LT0の出力を選択する第2の動作モードでテストを行なうと、その結果不良が検出された場合にだけ第1の動作モードによるテストを行なうことによって、トータルのテスト時間を短縮することができ、しかも正確な不良情報を得ることができる。

【0038】なお、図3の実施例では、不良信号をループカウンタのタイミングの違いにより検出する回路と不良信号を4倍に引き伸ばす回路を組み合わせるように構成された回路について説明したが、いずれか一方の機能のみ有する回路としても良い。これによって、回路規模を小さくすることができる。また、不良信号を4倍に引き伸ばす機能のみを有する回路であっても、アドレスをX方向へ更新しながら行なうテストとアドレスをY方向へ更新しながら行なうテストとを行なってそれぞれのテスト結果からより正確な不良位置を知ることができる。

【0039】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図1におけるシリアル-パラレル変換回路は図2のような構成のものに限定されず同一機能を有する回路であればどのようなものであってもよい。

【0040】また、第1の実施例のシリアル-パラレル変換回路111と出力選択回路112とからなる不良情報編集回路に、第2の実施例(図3)における第1のセ

レクタSEL1とOR論理ゲートG0と第2のセクタSEL2とを組み合わせた構成とすることも可能である。

【0041】さらに、前記実施例においては、内部クロックφ1の周波数が外部のクロックφ0の周波数の4倍の場合について説明したが、2倍あるいは8倍以上であっても良い。さらに、実施例においては、チップ内にクロック逡倍回路を設けているが、チップ内部に設けるクロック逡倍回路を設ける代わりに外部でそのような周波数の高いクロックを生成して与えるように構成しても良い。

【0042】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるRAMおよびRAMのテスト回路を内蔵した半導体集積回路に適用した場合について説明したが、この発明はそれに限定されるものでなく、ROMあるいはEPROMその他のメモリを内蔵した半導体集積回路にも利用することができる。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0044】すなわち、本発明に係る内蔵メモリのテスト回路を備えた半導体集積回路においては、比較的短時間に内部メモリ回路のテストを行なうことができるとともに、リアルタイムで正確な不良情報を得ることができる。さらに、本発明の自己テスト回路は比較的小規模な回路で実現することができるため、チップサイズの増大を抑え、低コスト化が可能となる。

【図面の簡単な説明】

【図1】本発明に係るメモリ回路の自己テスト回路の一実施例の概略構成を示すブロック図である。

【図2】図2(A)は不良情報編集回路のシリアル→パラレル変換回路の構成例を示すブロック図、(B)はその入出力信号のタイミングを示す波形図である。

【図3】不良情報編集回路の他の実施例を示すブロック図である。

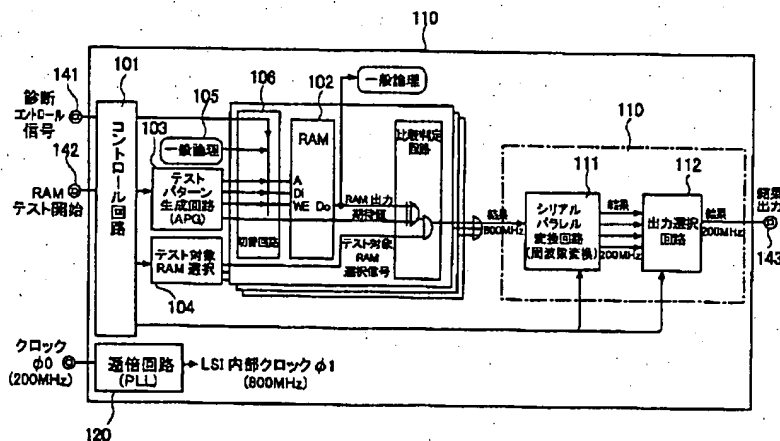
【図4】図4(A)は図3の不良情報編集回路のセクタSEL1が比較判定回路107からの不良信号を選択しセクタSEL2がOR論理ゲートG0の出力を選択する第1の動作モードにおける等価回路図、(B)はその入出力信号のタイミングを示す波形図である。

【図5】図5(A)は図3の不良情報編集回路のセクタSEL1が最終段のフリップフロップFF4の出力の帰還信号を選択しセクタSEL2がラッチ回路LT0の出力を選択する第2の動作モードにおける等価回路図、(B)はその入出力信号のタイミングを示す波形図である。

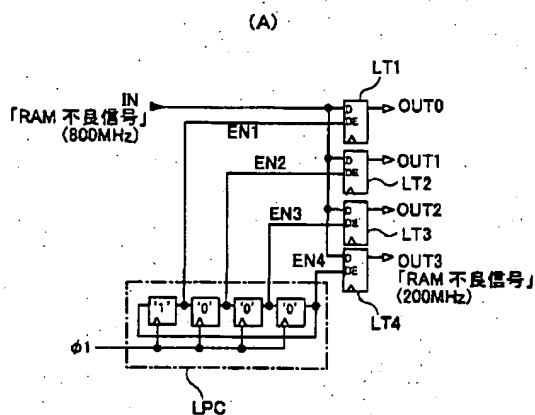
【符号の説明】

- 101 コントロール回路
- 102 メモリアレイ
- 103 テストパターン発生器 (APG)
- 104 テスト対象選択回路
- 105 一般論理回路
- 106 セクタ回路
- 107 比較判定回路
- 110 圧縮器
- 105 解析器
- 106 圧縮器
- 107 テスト範囲選択用レジスタ
- 110 不良情報編集回路
- 111 シリアル→パラレル変換回路
- 112 出力選択回路
- 120 クロック逡倍回路

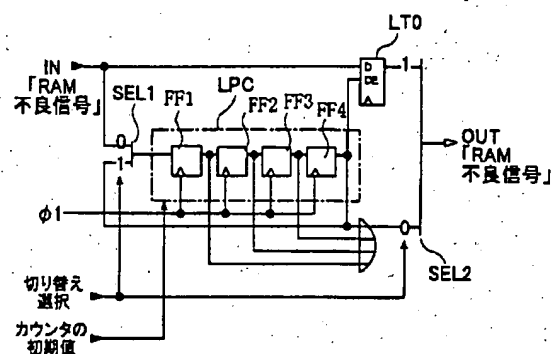
【図1】



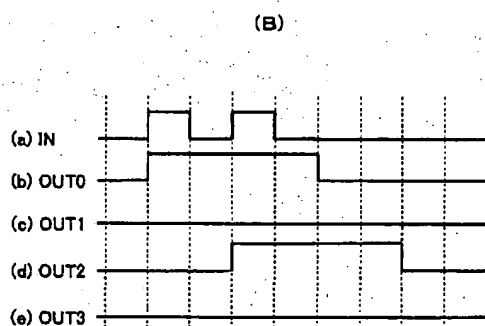
【図2】



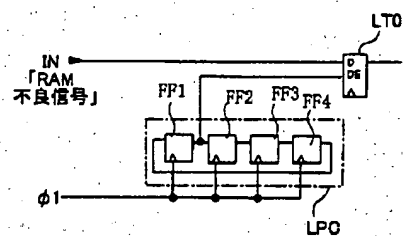
【図3】



【図4】

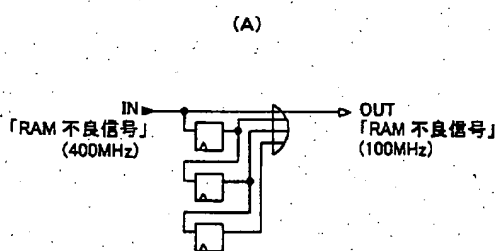


(A)

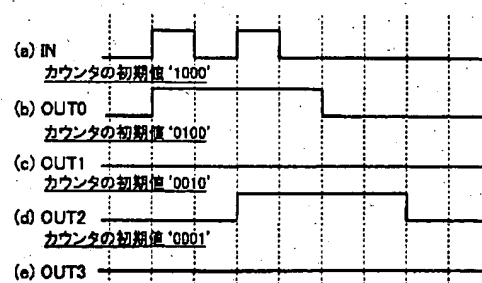
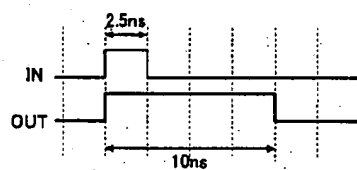


(B)

【図5】



(B)



フロントページの続き

(72)発明者 日下田 恵一

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 中原 茂

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 木場 孝

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 大島 直美

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 2G132 AA08 AB01 AG01 AH00 AH07

AK07 AK29 AL09

5B018 GA03 JA21 NA01 QA13

5L106 DD22 DD23 DD25 GG03